

PAT-NO: JP404345016A

DOCUMENT-IDENTIFIER: JP 04345016 A

TITLE: MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE

----- KWIC -----

CONSTITUTION: The title manufacturing method of semiconductor device is constituted of the two steps mentioned as follows, i.e., the first step wherein a substrate having high stepped parts between wiring layers 11 and 12 is coated with a reflow resist 14 containing a dyestuff whereto no sensitive agent in lower molecular weight than that of an upper layer resist is added to be flattened later by heat treatment step and the second step wherein the reflow resist 14 is coated with a positive type photoresist 16 to be selectively exposed and developed for one time patterning the photoresist and the reflow resist.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-345016

(43) 公開日 平成4年(1992)12月1日

(51) Int.Cl. ⁵	識別記号	片内整理番号	F I	技術表示箇所
H 0 1 L 21/027				
G 0 3 F 7/26	5 2 1	7124-2H 7352-4M	H 0 1 L 21/30	3 6 1 S

審査請求 未請求 請求項の数1(全4頁)

(21) 出願番号 特願平3-117643

(22) 出願日 平成3年(1991)5月22日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 原口 浩志

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝多摩川工場内

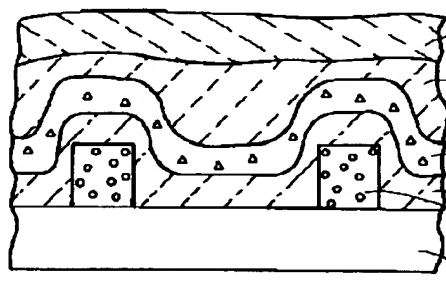
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】 (修正有)

【目的】 この発明は、高段差部上におけるレジスト残りのない良好なレジストパターンを形成することが出来、同時に染料の効果によりビアホール上でのレジスト細りもなくなり、良好なパターンニングが可能となった半導体装置の製造方法を提供することを目的とする。

【構成】 この発明の半導体装置の製造方法は、配線層11、12間の高段差部を有する基板上に上層レジストより低分子量の感光剤の入っていない染料入りのリフローレジスト14を塗布し、加熱処理により平坦化させる工程と、この工程の次に、上記リフローレジスト上にポジ型フォトリソレジスト16を塗布し、選択露光、現像を行ない、上記フォトリソレジストおよび上記リフローレジストを一度にパターンニングする工程とを具備してなり、上記の目的を達成することが出来る。



【特許請求の範囲】

【請求項1】 基板上に第1の配線層を形成する工程と、層間絶縁膜を介して上記第1の配線層に略直交する第2の配線層を形成する工程と、上記層間絶縁膜および上記第2の配線層上に、後の工程で形成される上層レジストより低分子量の感光剤の入っていない染料入りのリフローレジストを塗布し、加熱処理により平坦化させる工程と、上記リフローレジスト上にポジ型フォトレジストを塗布し、選択露光、現像を行ない、上記上層レジストであるフォトレジストおよび下層の上記リフローレジストを一度にパターニングする工程とを具備することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は半導体装置の製造方法に係り、特にその多層配線構造におけるリソグラフィ技術に関する。

【0002】

【従来の技術】 最近、半導体装置では、高性能化・高集積化に伴ない、多層配線が使われるようになってきている。この多層配線を使用すると、当然、配線層間で段差が生じるため、リソグラフィ技術によるレジストパターニングの際、段差底部で露光不足になり、レジスト残りが発生したり、又、配線層としてA1（アルミニウム）等を使用するため、露光時に光の散乱が生じ、レジストの細りが起こったりする。

【0003】 即ち、図7に従来の半導体装置の多層配線におけるレジストパターンの平面図を示し、図8に図7の一部を拡大したものを示す。図8に示すように、基板1上にA1からなる第1の配線層2とビアホール3を有するA1からなる第2の配線層4が、略直交するように形成されている。

【0004】 このような半導体装置において、製造時に第1の配線層2上で且つビアホール3を通るレジストパターン5を形成すると、露光時の光の散乱によりレジストの細り6が生じたり、あるいは配線層2間の高段差部7上でレジスト膜厚が厚くなるため、他の部分よりも露光不足になり、レジストパターン5が太りレジスト残り8が生じたりする。図8には、上記のビアホール3上での露光時の光の散乱9によるレジストの細り6を示している。

【0005】

【発明が解決しようとする課題】 上記のような従来の製造方法では、レジストパターニングにおいてビアホール3上での露光時の光の散乱9によるレジスト細り6、および配線層2、4間の高段差部7上でのレジストの太り等によるレジスト残り8が生じ不都合が起こる。この発明の目的は、上記の問題点を解決するためになされたもので、レジスト細りやレジスト残りが発生しない半導体装置の製造方法を提供することである。

【0006】

【課題を解決するための手段】 この発明は、基板上に第1の配線層を形成する工程と、層間絶縁膜を介して上記第1の配線層に略直交する第2の配線層を形成する工程と、上記層間絶縁膜および上記第2の配線層上に、後の工程で形成される上層レジストより低分子量の感光剤の入っていない染料入りのリフローレジストを塗布し、加熱処理により平坦化させる工程と、上記リフローレジスト上にポジ型フォトレジストを塗布し、選択露光、現像を行ない、上記上層レジストであるフォトレジストおよび下層の上記リフローレジストを一度にパターニングする工程とを具備する半導体装置の製造方法である。

【0007】

【作用】 この発明によれば、高段差部上におけるレジスト残りのない良好なレジストパターンを形成することが出来、同時に染料の効果によりビアホール上でのレジスト細りもなくなり、良好なパターニングが可能となる。

【0008】

【実施例】 以下、図面を参照して、この発明の一実施例を詳細に説明する。

【0009】 この発明による半導体装置の製造方法は図1～図5に示すように構成され、先ず図1に示すように、半導体基板10上にA1からなる第1の配線層11を形成する。その後、この第1の配線層11を覆うように半導体基板10上に層間絶縁膜12を形成し、更にその上にA1からなる第2の配線層13を、第1の配線層11に略直交するようにスパッタ等で形成する。

【0010】 次に図2に示すように、後述の上層レジストより低分子量の感光剤の入っていない染料入りリフローレジスト（例えば東京応化製のTFR-3）14を、0.5μm程度の膜厚で塗布する。次に図3に示すように、半導体基板10を110～130℃で加熱処理し、リフローレジスト14を平均化15する。

【0011】 次に図4に示すように、リフローレジスト14を上層レジストとしてポジ型フォトレジスト16を1.5μm程度の膜厚で塗布し、更に選択露光を行ない、現像によりこのフォトレジスト16およびリフローレジスト14を一度に抜く。最後に図5に示すように、段差底部でのレジスト残りの見られない（図中の17）レジストパターン18が形成出来る。

【0012】 このようにして出来た半導体装置の平面図を示すと、図6のようになる。即ち、第1の配線層11上にビアホール19を有する第2の配線層13が略直交するように走っているパターンにおいて、第1の配線層11上で且つビアホール19上を通るレジストパターン20を形成すると、下層レジストのリフローレジスト14中に染料が入っているため、ビアホール19内での露光時の光の散乱が抑えられ、垂直な形状のレジストパターン20が得られる。

【0013】又、配線間の高段差部21では、下層レジストが上層レジストより低分子量の感光剤の入っていないリフローレジスト14であるため、露光は上層レジストのポジ型フォトレジスト16を抜くことの出来る露光量でよく、更に上層レジストをマスクとして、1度の現像でレジストパターニングが出来、図6に示したような良好な形状のパターンが形成出来る。

【0014】

【発明の効果】この発明によれば、第2の配線層上の下層レジストとして上層レジストより低分子量の感光剤の入っていない染料入りリフローレジストを使用しているため、図5あるいは図6に示すように、高段差部におけるレジスト残りのない良好なレジストパターンを形成することが出来、同時に染料の効果によりビアホール上でのレジスト細りもなくなり、図6に示すような良好なパターニングが可能となった。

【図面の簡単な説明】

【図1】この発明の一実施例に係る半導体装置の製造方法を示す断面図。

【図2】同じく半導体装置の製造方法を示す断面図。

【図3】同じく半導体装置の製造方法を示す断面図。

【図4】同じく半導体装置の製造方法を示す断面図。

【図5】同じく半導体装置の製造方法を示す断面図。

【図6】この発明の製造方法により得られた半導体装置を示す平面図。

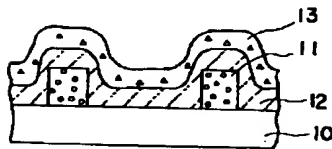
【図7】従来の製造方法により得られた半導体装置を示す平面図。

【図8】図7の要部を拡大して示す平面図。

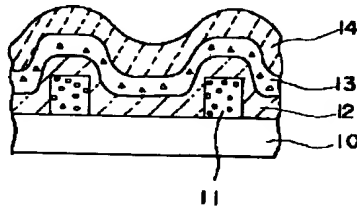
【符号の説明】

10…半導体基板、11…第1の配線層、12…層間絶縁膜、13…第2の配線層、14…リフローレジスト、16…フォトレジスト。

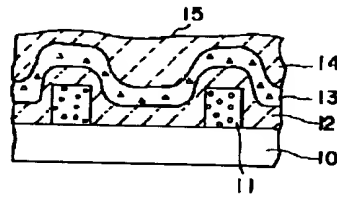
【図1】



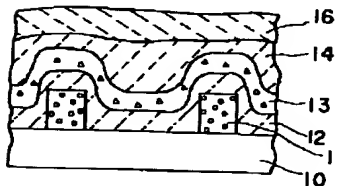
【図2】



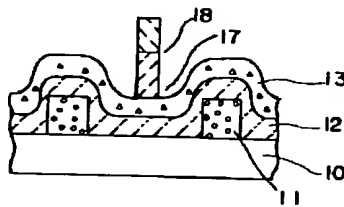
【図3】



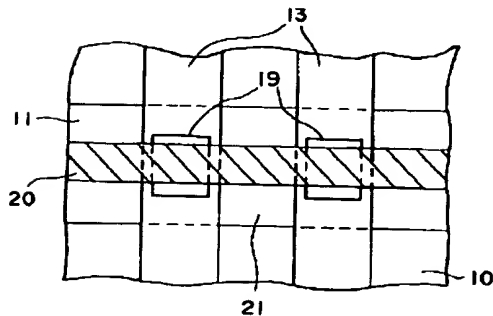
【図4】



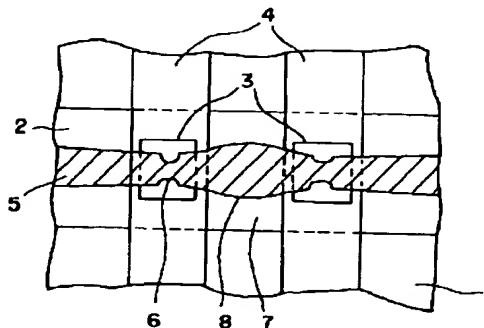
【図5】



【図6】



【図7】



(4)

特開平4-345016

【図8】

